

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-129534

(43)Date of publication of application : 11.08.1982

(51)Int.Cl.

H03K 19/094
H03K 17/687

(21)Application number : 56-015488

(71)Applicant : NEC CORP

(22)Date of filing : 04.02.1981

(72)Inventor : OBATA HIROYUKI

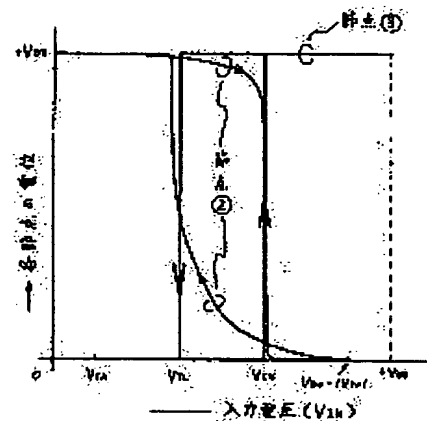
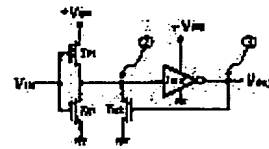
(54) HYSTERESIS CIRCUIT

(57)Abstract:

PURPOSE: To constitute a hysteresis circuit with an extremely small number of elements, by setting the equivalent impedance of an insulated gate type FET as if the output of the 2nd inverter had a hysteresis of the input of the 1st inverter.

CONSTITUTION: When the input voltage is decreased to 0V from +VDD, TP1 and TN1 are turned off and on, respectively while the input voltage is set in a range from +VDD to $+VDD - \overline{VTP}$; (\overline{VTP} : threshold voltage of P type MOS transistor). Thus the nodes 2 and 3 are set at 0V and +VDD respectively with the TN2 turned on. When the input voltage is dropped further, the TP1 also starts to conduct. But the TN2 is kept on as long as the node 3 is not inverted. Accordingly, the level

of the node 2 does not rise up to the logical threshold value of an inverter INV unless the input voltage drops considerably. When the level of the node 2 becomes higher than the logical threshold of the INV, the output of the INV is inverted to turn off the TN2. Thus the nodes 2 and 3 are quickly set at a high and low level, respectively, and the output is inverted to draw a hysteresis loop.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—129534

⑪ Int. Cl.³

H 03 K 19/094
17/687

識別記号

庁内整理番号

7631—5 J
7105—5 J

⑬ 公開 昭和57年(1982)8月11日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ ヒステリシス回路

東京都港区芝五丁目33番1号日

本電気株式会社内

⑮ 特 願 昭56—15488

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭56(1981)2月4日

東京都港区芝5丁目33番1号

⑱ 発 明 者 小畑弘之

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

ヒステリシス回路

2. 特許請求の範囲

Pチャンネル絶縁ゲート型電界効果トランジスタとNチャンネル絶縁ゲート型電界効果トランジスタで構成される第1のインバータと、前記第1のインバータの出力を第2のインバータの入力に接続する手段と、前記第1及び第2のインバータに印加する定電圧源とをそなえた電気回路において、前記第1のインバータの出力に前記第1のインバータの構成要素たるNチャンネルもしくはPチャンネル絶縁ゲート型電界効果トランジスタのうち、どちらか一方の絶縁ゲート型電界効果トランジスタと並列に同導電型の絶縁ゲート型電界効果トランジスタを接続し、該同導電型の絶縁ゲート型電界効果トランジスタのゲートを前記第2のインバータの出力に接続して成り、前記第1のイ

ンバータの入力に対して前記第2のインバータの出力がヒステリシスを持つ如く各絶縁ゲート型電界効果トランジスタの等価的インピーダンスを設定したことを特徴とするヒステリシス回路。

3. 発明の詳細な説明

本発明はヒステリシス回路に関し、特に相補型MOSトランジスタで構成されたヒステリシス回路に関する。

従来、MOS集積回路等で用いられるヒステリシス回路には例えば第1図に示すようなものがある。この第1図のヒステリシス回路では計6個のMOSトランジスタとインバータ回路を必要とし、構成要素数が多い等の欠点があった。

本発明の目的は少ない素子で構成され、集積化して有効なヒステリシス回路を提供することにある。

本発明の特徴は、Pチャンネル絶縁ゲート型電界効果トランジスタとNチャンネル絶縁ゲート型電界効果トランジスタで構成される第1のインバ

ータとこの第1のインバータの出力を第2のインバータの入力に接続する手段と第1及び第2のインバータに印加する定電圧源とをそなえた電気回路において、第1のインバータの出力に第1のインバータの構成要素たるNチャンネルもしくはPチャンネル絶縁ゲート型電界効果トランジスタのうちどちらか一方の絶縁ゲート型電界効果トランジスタと並列に同導電型の絶縁ゲート型電界効果トランジスタを接続し、第1のインバータの出力に接続された該同導電型の絶縁ゲート型電界効果トランジスタのゲートを第2のインバータの出力に接続して成り、第1のインバータの入力に対して第2のインバータの出力がヒステリシスを持つ如く各絶縁ゲート型電界効果トランジスタの等価的インピーダンスを設定したヒステリシス回路にある。

そして本発明によれば、極めて少ない素子数でヒステリシス回路が実現可能となり、集積回路化した場合等に極めて有効である。

以下、本発明に依る一実施例を第2図に、その

先づ入力電圧が0V(QNDレベル)から $+V_{DD}$ に上昇する場合、入力電圧が0Vから V_{TN} (N型MOSトランジスタのしきい値電圧)間では T_{P1} がON、 T_{N1} がOFFし節点②が $+V_{DD}$ 、節点③が0Vとなり T_{N2} もOFFしている。さらに入力電圧が上昇し V_{TN} 以上になると T_{N1} が導通し始めるが T_{P1} に比べて g_m が小さい為、入力電圧が $+V_{DD}/2$ よりもさらに高くなると節点②のレベルが反転しない。そして節点②のレベルが I_{NV} の論理しきい値以下になると I_{NV} の出力(節点③)が反転し T_{N2} がONし、急速に節点②がLow、節点③がHighレベルになる。次に入力電圧が $+V_{DD}$ から0Vに下降する場合、入力電圧が $+V_{DD}$ から $+V_{DD} - |V_{TP}|$ (V_{TP} : P型MOSトランジスタのしきい値電圧)間では T_{P1} がOFF、 T_{N1} がONして節点②が0V節点③が $+V_{DD}$ であり、 T_{N2} もONしている。さらに入力電圧が下降すると T_{P1} も導通し始めるが、節点③が反転しない限り T_{N2} もON状態にある為、入力電圧がかなり下降しなければ(入力電圧を0Vから上昇させて出力が反転した時の

入出力特性を第3図に示し詳細に説明する。本実施例に依るヒステリシス回路は、第2図に示す如くP型MOSトランジスタ T_{P1} とN型MOSトランジスタ T_{N1} で構成された第1のインバータ回路及び上記N型MOSトランジスタ T_{N1} と並列に接続されたN型MOSトランジスタ T_{N2} とを備え、 T_{N2} のゲート電極は出力レベル(節点②)を第2のインバータ I_{NV} で反転した出力(節点③)に接続される。次に動作について説明する。本実施例によるヒステリシス回路においては、 T_{P1} 、 T_{N1} 及び T_{N2} の等価コンダクタンス(以下 g_m と記す)比を変化させることにより必要な入力レベル(V_{IN} 、 V_{TL})を得ることができ、例えば T_{N1} の g_m に比べて T_{P1} の g_m が大きくなるように設定し、次いで、 T_{P1} 及び T_{N2} が十分に導通している状態で節点②のレベルが I_{NV} の論理しきい値よりも高いレベル(論理しきい値よりも電源($+V_{DD}$)側のレベル)となる範囲で T_{N2} の g_m を設定する。

次に、上記の如く設定されたヒステリシス回路の各節点電位を第3図を参照しながら説明する。

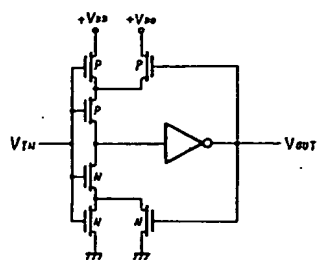
入力電圧(V_{IN})以下に下がらなければ節点②のレベルが I_{NV} の論理しきい値まで上昇しない。そして節点②のレベルが I_{NV} の論理しきい値以上になると I_{NV} の出力が反転して T_{N2} がOFFし、急速に節点②がHigh、節点③がLowレベルとなり、出力が反転して、ヒステリシスループを描く。

以上に述べたように、本発明によれば極めて少ない素子数でヒステリシス回路が実現可能となり、集積化して極めて有効である。

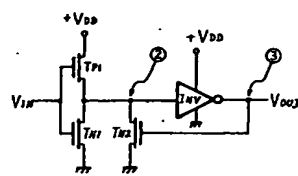
4. 図面の簡単な説明

第1図は従来のヒステリシス回路を示す回路図、第2図は本発明の一実施例によるヒステリシス回路を示す回路図、第3図は本発明の一実施例によるヒステリシス回路のDC特性を示す図である。

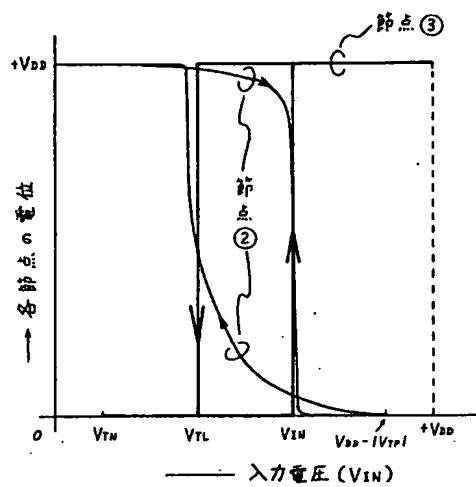
なお、図において、 T_{P1} …P型MOSトランジスタ、 T_{N1} 、 T_{N2} …N型MOSトランジスタ、 I_{NV} …インバータである。



第 1 図



第 2 図



第 3 図